

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-016246

(43)Date of publication of application : 18.01.2002

(51)Int.Cl.

H01L 29/78
H01L 21/336

(21)Application number : 2000-194455

(71)Applicant : SHARP CORP

(22)Date of filing : 28.06.2000

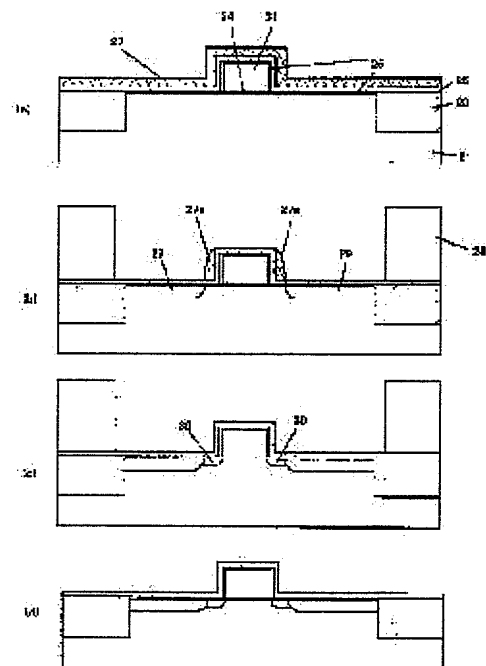
(72)Inventor : HASEGAWA MASAHIRO

(54) MANUFACTURING METHOD OF MOS-TYPE SEMICONDUCTOR TRANSISTOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a manufacturing method for improving productivity of a MOS-type semiconductor transistor having an LDD structure.

SOLUTION: The manufacturing method of a MOS-type semiconductor transistor having an LDD structure includes a process of forming a first oxide film on the semiconductor substrate and on the surface of a gate electrode, formed on the semiconductor substrate via a gate insulating film, a process of forming a nitride film on the first oxide film, a process of forming a second oxide film on the nitride film, a process of forming sidewall spacers on both the side surfaces of the gate electrode, by selectively applying an anisotropic etching to the second oxide film, a process of selectively removing by a wet etching the sidewall spacers present on an element-forming region, after implanting high-concentration ions into the semiconductor substrate, and a process of implanting low-concentration ions into the semiconductor substrate.



Family list3 application(s) for: **JP2002016246 (A)****1 MANUFACTURING METHOD OF MOS-TYPE SEMICONDUCTOR TRANSISTOR****Inventor:** HASEGAWA MASAHIRO**Applicant:** SHARP KK**EC:** H01L21/336H1L**IPC:** *H01L21/336; H01L29/78; H01L21/02; (+3)***Publication info:** **JP2002016246 (A)** — 2002-01-18**2 Process for fabricating MOS semiconductor transistor****Inventor:** HASEGAWA MASAHIRO [JP]**Applicant:** SHARP KK [JP]**EC:** H01L21/336H1L**IPC:** *H01L21/336; H01L29/78; H01L21/02; (+2)***Publication info:** **TW494501 (B)** — 2002-07-11**3 Process for fabricating MOS semiconductor transistor****Inventor:** HASEGAWA MASAHIRO [JP]**Applicant:** HASEGAWA MASAHIRO ; SHARP
KABUSHIKI KAISHA**EC:** H01L21/336H1L**IPC:** *H01L21/336; H01L29/78; H01L21/02; (+2)***Publication info:** **US2002001909 (A1)** — 2002-01-03**US6444532 (B2)** — 2002-09-03

Data supplied from the **esp@cenet** database —

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-16246

(P2002-16246A)

(43) 公開日 平成14年1月18日 (2002.1.18)

(51) Int.Cl.⁷H 0 1 L 29/78
21/336

識別記号

F I

H 0 1 L 29/78

ターマコード* (参考)

3 0 1 L 5 F 0 4 0

審査請求 未請求 請求項の数 3 O L (全 5 頁)

(21) 出願番号 特願2000-194455 (P2000-194455)

(22) 出願日 平成12年6月28日 (2000.6.28)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 長谷川 正博

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(74) 代理人 100065248

弁理士 野河 信太郎

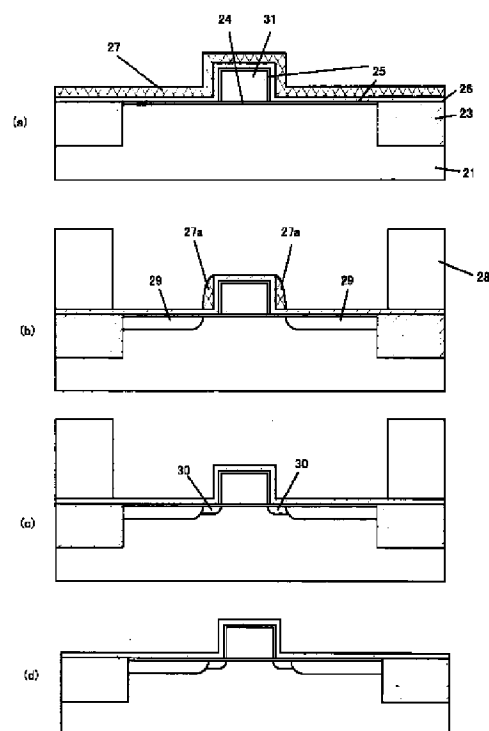
Fターム (参考) 5F040 DA08 DB03 DC01 DC03 EC01
EC07 EC09 EC10 EC13 ED01
ED04 ED05 EF02 EK05 FA05
FA07 FA10 FA12 FA16 FA18
FB03 FB04 FC21 FC22

(54) 【発明の名称】 MOS型半導体トランジスタの製造方法

(57) 【要約】

【課題】 LDD構造をもつMOS型半導体トランジスタの生産性を向上させることを課題とする。

【解決手段】 半導体基板及びゲート絶縁膜を介して半導体基板上に形成されたゲート電極表面に第1の酸化膜を形成する工程と、第1の酸化膜上に窒化膜を形成する工程と、窒化膜上に第2の酸化膜を形成する工程と、第2の酸化膜を選択的に異方性エッチングすることで、ゲート電極の側面にサイドウォールスペーサーを形成する工程と、半導体基板に高濃度イオン注入した後、素子形成領域のサイドウォールスペーサーをウェットエッチングにより選択除去する工程と、半導体基板に低濃度イオン注入する工程とを含むことを特徴とするLDD構造をもつMOS型半導体トランジスタの製造方法により上記の課題を解決する。



【特許請求の範囲】

【請求項1】 LDD構造をもつMOS型半導体トランジスタの製造方法において、

半導体基板及びゲート絶縁膜を介して半導体基板上に形成されたゲート電極表面に第1の酸化膜を形成する工程と、

第1の酸化膜上に窒化膜を形成する工程と、

窒化膜上に第2の酸化膜を形成する工程と、

第2の酸化膜を選択的に異方性エッチングすることで、ゲート電極の側面にサイドウォールスペーサーを形成する工程と、

所定の素子形成領域を開口するフォトリジストマスクを形成する工程と、

ゲート電極、サイドウォールスペーサー及びフォトリジストマスクをマスクとして、不純物を、窒化膜及び第1の酸化膜を通過させて、半導体基板に高濃度イオン注入する工程と、

素子形成領域のサイドウォールスペーサーをウェットエッチングにより選択除去する工程と、

LDD構造を形成するために、ゲート電極及びフォトリジストマスクをマスクとして、不純物を半導体基板に低濃度イオン注入する工程と、

フォトリジストマスクを除去する工程と、

半導体基板を熱処理する工程とを含むことを特徴とするMOS型半導体トランジスタの製造方法。

【請求項2】 第1の酸化膜が、半導体基板とゲート電極がシリコンからなる場合、熱酸化膜であることを特徴とする請求項1に記載のMOS型半導体トランジスタの製造方法。

【請求項3】 第2の酸化膜が、CVD法により形成された膜であることを特徴とする請求項1に記載のMOS型半導体トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、MOS型半導体トランジスタの製造方法に関する。更に詳しくは、本発明は、LDD構造を有するMOS型半導体トランジスタの製造方法に関する。

【0002】

【従来の技術】従来のLDD構造を有するMOS型半導体トランジスタの製造方法を、図2(a)～(d)を用いて説明する(特開平3-87060号公報参照)。図2(a)～(d)は従来の素子の工程順の概略断面図である。

【0003】まず、図2(a)に示すように、第1導電型の半導体基板1上に素子分離領域3及びゲート絶縁膜4を形成する。次に、多結晶シリコンからなるゲート電極5を形成し、このゲート電極5の上面及び側面を熱酸化して熱酸化膜6を形成し、その後、CVD法により膜厚200nm程度の窒化膜7を形成する。

【0004】次に、図2(b)に示すように、窒化膜7を選択的に異方性エッチングすることで窒化膜からなるサイドウォールスペーサー7aを形成する。このとき、露出したゲート電極5及び半導体基板1の表面を薄く熱酸化し、熱酸化膜6aを形成する。その後、フォトリジストマスク8により、所定の領域のみを開口し、半導体基板と逆の第2導電型の不純物を半導体基板に注入することで、高濃度不純物層9を形成する。

【0005】次に、図2(c)に示すように、窒化膜のエッチングレートが、酸化膜のエッチングレートより十分に大きい条件で、サイドウォールスペーサー7aを等方的にエッチング除去し、次いで、第2導電型の不純物を低濃度でイオン注入することで、低濃度不純物層10を形成する。次に、図2(d)に示すように、フォトリジストマスク8を除去し、アニールすることにより、LDD構造のMOS型半導体トランジスタが完成する。

【0006】

【発明が解決しようとする課題】上記従来のLDD構造をもつMOS型半導体トランジスタの製造方法では、サイドウォールスペーサーを選択除去する必要があるため、このスペーサーに厚い窒化膜を用いている。しかるに、厚い窒化膜は、膜ストレスが非常に大きく、その形成は半導体基板にダメージを与え、トランジスタ特性を劣化させる欠点がある。

【0007】また、サイドウォールスペーサーのエッチング後、ゲート電極表面及び半導体基板表面を保護するために、熱酸化膜6aを形成する必要があるが、この熱酸化膜6aは窒化膜からなるサイドウォールスペーサーの表面にも薄く形成されるため、高選択比で窒化膜をエッチングする前に薄い酸化膜を除去するトリートメントが必要である。更に、窒化膜を酸化膜に対して高い選択比でドライエッチングする場合には、エッチングレートが低くなる。よって、生産性が悪くなるという欠点がある。

【0008】

【課題を解決するための手段】かくして本発明によれば、LDD構造をもつMOS型半導体トランジスタの製造方法において、半導体基板及びゲート絶縁膜を介して半導体基板上に形成されたゲート電極表面に第1の酸化膜を形成する工程と、第1の酸化膜上に窒化膜を形成する工程と、窒化膜上に第2の酸化膜を形成する工程と、第2の酸化膜を選択的に異方性エッチングすることで、ゲート電極の側面にサイドウォールスペーサーを形成する工程と、所定の素子形成領域を開口するフォトリジストマスクを形成する工程と、ゲート電極、サイドウォールスペーサー及びフォトリジストマスクをマスクとして、不純物を、窒化膜及び第1の酸化膜を通過させて、半導体基板に高濃度イオン注入する工程と、素子形成領域のサイドウォールスペーサーをウェットエッチングにより選択除去する工程と、LDD構造を形成するため

に、ゲート電極及びフォトレジストマスクをマスクとして、不純物を半導体基板に低濃度イオン注入する工程と、フォトレジストマスクを除去する工程と、半導体基板を熱処理する工程とを含むことを特徴とするMOS型半導体トランジスタの製造方法が提供される。

【0009】

【発明の実施の形態】本発明に使用できる半導体基板としては、特に限定されず、公知の基板をいずれも使用することができる。例えば、シリコン基板、GaAs基板等が挙げられる。この基板はp型又はn型の導電型を有していてもよい。ここで、半導体基板がシリコン基板の場合、p型を与える不純物としてはホウ素等が挙げられ、n型を与える不純物としてはリン、ヒ素等が挙げられる。また、予めLOCOS構造やSTI構造の素子分離領域が形成されていてもよい。

【0010】次に、半導体基板上にはゲート絶縁膜が形成されている。ゲート絶縁膜としては、熱酸化法、CVD法又はスパッタ法により形成されたシリコン酸化膜、CVD法又はスパッタ法により形成されたシリコン窒化膜及びこれらの積層膜等が挙げられる。その膜厚は、酸化膜に換算した膜厚で3～15nm程度が好ましい。更に、ゲート絶縁膜上には、ゲート電極が形成される。ゲート電極としては、CVD法等により形成されたポリシリコン、シリサイド及びそれらの積層体（ポリサイド）等からなるシリコン系膜や、蒸着法等により形成されたアルミニウム、銅及びそれらの合金等からなる金属膜が挙げられる。ゲート電極の厚さは、10～50nm程度が好ましい。

【0011】次に、半導体基板及びゲート電極表面に第1の酸化膜を形成する。第1の酸化膜は、次の工程の窒化膜の形成のためのバッファとしての役割を有する。この膜は、半導体基板とゲート電極がシリコンからなる場合、熱酸化法により形成されたシリコン酸化膜であることが好ましい。また、半導体基板又はゲート電極がシリコン以外からなる場合、CVD法で形成することができる。膜厚は、5～10nmであることが好ましい。

【0012】次に、第1の酸化膜上に窒化膜を形成する。窒化膜は、CVD法により形成されたシリコン窒化膜が挙げられる。その膜厚は、5～10nmであることが好ましい。50nmより厚い場合、半導体基板に至るによるダメージを与える恐れがあるため好ましくない。次に、窒化膜上に第2の酸化膜を形成する。第2の酸化膜は、CVD法により形成されたシリコン酸化膜であることが好ましい。その膜厚は、50～200nmであることが好ましい。

【0013】次に、第2の酸化膜を選択的に異方性ドライエッチングすることで、ゲート電極の側面にサイドウォールスペーサーを形成する。このエッチングの際に、窒化膜はエッチングストップとしての役割を果たしている。ここで、窒化膜に対する第2の酸化膜のエッチング

レート（選択比）は、20～50程度であることが好ましい。この後、所定の素子形成領域を開口するフォトレジストマスクを形成する。

【0014】次いで、ゲート電極、サイドウォールスペーサー及びフォトレジストマスクをマスクとして、不純物を、窒化膜及び第1の酸化膜を通過させて、半導体基板に高濃度イオン注入する。不純物としては、上記したn型又はp型の不純物が挙げられる。イオン注入は、例えばヒ素を注入する場合、30～80KeVの注入エネルギー、 $2 \times 10^{15} \sim 5 \times 10^{15} \text{ cm}^{-2}$ のドーズで行うことができる。

【0015】次に、素子形成領域のサイドウォールスペーサーをウェットエッチングにより選択除去する。このエッチングの際にも、窒化膜はエッチングストップとしての役割を果たしている。ここで、窒化膜に対する第2の酸化膜の選択比は、100以上であることがより好ましい。また、エッチングに使用するエッチャントとしては、フッ酸等が挙げられる。本発明の方法によれば、従来のドライエッチングによるサイドウォールスペーサーの除去に比べて、1/10程度以下の処理速度で除去することができるので、生産性が向上する。

【0016】次いで、LDD構造を形成するために、ゲート電極及びフォトレジストマスクをマスクとして、不純物を半導体基板に低濃度イオン注入する。不純物としては、上記したn型又はp型の不純物が挙げられる。イオン注入は、例えばリンを注入する場合、10～50KeVの注入エネルギー、 $1 \times 10^{14} \sim 3 \times 10^{14} \text{ cm}^{-2}$ のドーズで行うことができる。この後、フォトレジストマスクを除去し、半導体基板を熱処理する。熱処理により、半導体基板に注入された不純物を活性化させることができる。以上の工程を経ることにより、MOS型半導体トランジスタを製造することができる。

【0017】

【実施例】以下、図を参照しつつ実施例により本発明を更に具体的に説明するが、本発明はこれらに限定されるものではない。

【0018】図1(a)～(d)は、本発明の1実施例を示す素子の工程順の概略断面図である。まず、図1(a)に示すように、n型を有する半導体基板21に、STI構造の素子分離領域23と膜厚5nmのゲート絶縁膜24を形成する。次に、多結晶シリコン又はポリサイドによりゲート電極31を形成し、該ゲート電極31の上面、側面及び半導体基板21表面を酸化し、5nmの熱酸化膜（第1の酸化膜）25を形成し、その後10nm程度のシリコン窒化膜26、100nm程度のCVD法による酸化膜（第2の酸化膜）27を形成する。

【0019】次に、図1(b)に示すように、酸化膜27に選択的に異方性エッチングを行うことで、サイドウォールスペーサー27aを形成する。このとき、エッチングは、シリコン窒化膜上でストップすることができる

ため、エッチングにより発生する半導体基板21へのダメージを回避することができる。また、シリコン窒化膜26の膜厚は非常に薄いため、膜ストレスによって半導体基板21又はゲート絶縁膜24が劣化するようなことはない。更に、サイドウォールスペーサー27aは、CVD法による酸化膜であるため、ストレスは非常に小さく、これによって最終的に形成される素子の特性が劣化することはない。

【0020】この後、NMOSとなる領域が開口したフォトレジストマスク28を形成し、N型イオン、例えばヒ素を40KeVの注入エネルギー、 $3\text{E}15/\text{cm}^2$ のドーズで注入することで、N型の高濃度不純物層29を形成する。

【0021】次に、図1(c)に示すように、サイドウォールスペーサー27aを、フッ酸溶液を用いて選択除去する。CVD法による酸化膜の0.5%フッ酸溶液に対するエッチングレートは、大きい場合には、50nm/分程度である。それに対し、シリコン窒化膜のエッチングレートは、0.1nm/分程度であり、500以上の選択比が得られ、非常に選択性に優れる。これに対し、ドライエッチング（反応性エッチング）の場合、選択比は20程度である。また、ドライエッチング（反応性エッチング）の場合、処理速度は1枚あたり2分程度であるが、本発明のウェットエッチングの場合、1枚あたり10秒程度で処理が可能であり、非常に生産性に優れる。なお、ドライエッチングは枚葉式又はバッチ式で行うことができるが、本発明はどちらの方法よりも生産性が優れている。

【0022】次に、n型不純物、例えばリンを20KeVの注入エネルギー、 $2\text{E}14/\text{cm}^2$ のドーズで注入することで、N型の低濃度不純物層30を形成する。次いで、図1(d)に示すように、フォトレジストマスク28を除去し、アニール処理を行って、N型の高濃度不純物層29及びN型の低濃度不純物層30を活性化させ

る。以上の工程により、NMOS型の半導体トランジスタを製造することができる。

【0023】なお、同様の手法により、P型半導体基板に、P型高濃度拡散層及びP型低濃度拡散層を形成することによりPMOSを形成することが可能であり、同一ウェハ内に両方の型（NMOS及びPMOS）を形成することにより、CMOS半導体トランジスタを製造することも可能である。

【0024】

【発明の効果】本発明のLDD構造をもつMOS型半導体トランジスタの製造方法では、ゲート電極の側面がエッチングされることを防ぐ保護膜として窒化膜を用い、サイドウォールスペーサーに酸化膜を用いるため、サイドウォールスペーサー除去時に、高選択性及び高処理能力をもつ製造方法が提供できる。また、成膜から半導体基板が受けるストレスの小さい製造方法を提供できるので、素子特性の劣化を防止することができる。

【図面の簡単な説明】

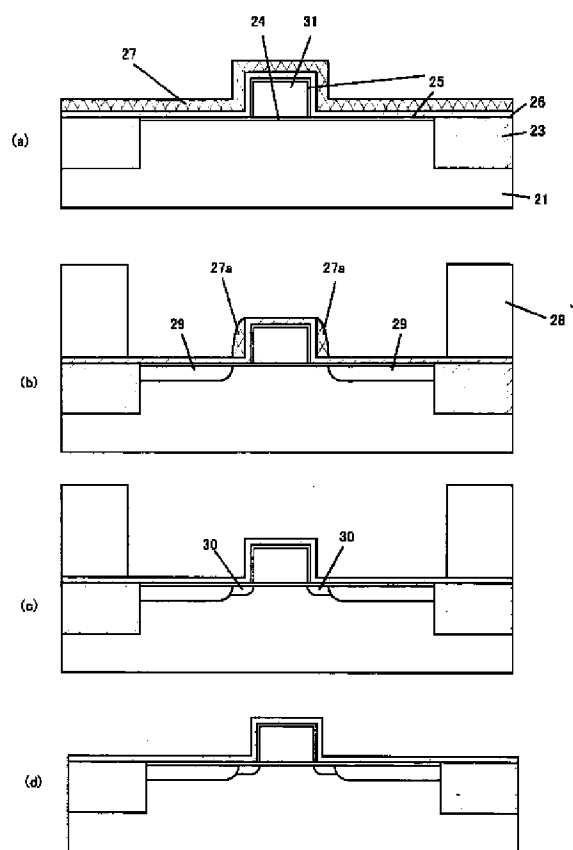
【図1】本発明の実施例を示す概略工程断面図である。

【図2】従来の技術を示す概略工程断面図である。

【符号の説明】

- 1、21 半導体基板
- 3、23 素子分離領域
- 4、24 ゲート絶縁膜
- 5、31 ゲート電極
- 6、6a、25 熱酸化膜
- 7 窒化膜
- 7a、27a サイドウォールスペーサー
- 8、28 フォトレジストマスク
- 9、29 高濃度不純物層
- 10、30 低濃度不純物層
- 26 シリコン窒化膜
- 27 酸化膜

【図 1】



【図 2】

